

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164433

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 21/768

(21)Application number : 2000-359248

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.11.2000

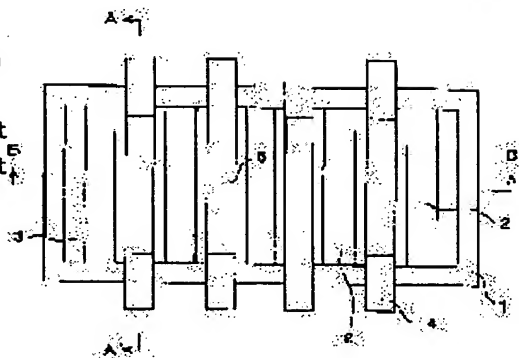
(72)Inventor : SHIRATAKE SHIGERU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that comprises a fuse box having a metal fuse member which can be cut by a laser beam, and to provide its manufacturing method.

SOLUTION: In a semiconductor device comprising a fuse box, in a frames- like guard ring 1 consisting of a semiconductor region formed on a semiconductor substrate 100, field regions 2 and insulating films 13 consisting of the semiconductor region are arranged so as to be adjacent each other, and at least two gate electrodes 8, 9 are provided on at least one insulating film, and the fuse member 6 connecting two gate electrodes is provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device equipped with the fuse box characterized by the field field and insulator layer which consist of a semiconductor region adjoining mutually, and being arranged, and at least two gate electrodes being prepared on said at least one insulator layer, and coming to prepare the fuse member which connects said two gate electrodes electrically in the guard ring of the shape of a frame which consists of a semiconductor region formed on the semi-conductor substrate.

[Claim 2] at least two gate electrodes prepare on the insulator layer in the guard ring of the shape of a frame which consists of a semiconductor region formed on the semi-conductor substrate -- having -- this -- the semiconductor device equipped with the fuse box characterized by to make electric connection with the exterior through the connection which it came to prepare the fuse member which connects two gate electrodes, and was prepared by said gate electrode crossing the upper part of said guard ring.

[Claim 3] The semiconductor device according to claim 2 characterized by the field field which consists of a semiconductor region prepared on said semi-conductor substrate, and said insulator layer adjoining mutually in said fuse box, and coming to be arranged.

[Claim 4] The semiconductor device according to claim 1 or 3 characterized for the train in which said field field and said insulator layer adjoin mutually in said fuse box by two or more trains preparation *****.

[Claim 5] Said at least two gate electrodes formed on said insulator layer are the semiconductor devices which equipped with the fuse box of a publication any 1 term of claims 1-4 characterized by said fuse member which comes to extend horizontally in between the edges of each of said vertical mold connection coming to connect electrically through the vertical mold connection which it comes to form in the direction of vertical facing up on said each gate electrode.

[Claim 6] Said vertical mold connection is the semiconductor device equipped with the fuse box according to claim 5 characterized by including the connection prepared by crossing the upper part of said guard ring.

[Claim 7] The process which forms the mask film on a semi-conductor substrate, and the process which etches said semi-conductor substrate so that a resist pattern may be formed and the field field which consists of a semiconductor region may be formed, The process which etches said semi-conductor substrate using said mask film so that said resist pattern may be removed and a slot may be formed, The process which lays said slot underground by the insulator layer, and the process which carries out flattening of said insulator layer, It consists of a process which forms a gate electrode on said insulator layer, and a process which prepares the fuse member which connects said gate electrode electrically. Said resist pattern The manufacture approach of the semiconductor device equipped with the fuse box characterized by said slot and said field field consisting of a pattern which forms the arrangement which adjoined mutually on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed.

[Claim 8] The process which forms the mask film on a semi-conductor substrate, and the process which etches said semi-conductor substrate so that a resist pattern may be formed and the field field which

consists of a semiconductor region may be formed, The process which etches said semi-conductor substrate using said mask film so that said resist pattern may be removed and a slot may be formed, The process which lays said slot underground by the insulator layer, and the process which carries out flattening of said insulator layer, In the process which consists of a process which forms at least two gate electrodes, and a process which prepares the fuse member which connects said at least two gate electrodes, and prepares said fuse member on said insulator layer The manufacture approach of the semiconductor device equipped with the fuse box characterized by preparing the connection which crosses the upper part of said guard ring, and making connection with the exterior while forming said two gate electrodes on said insulator layer inside the guard ring used as the rim section of said fuse box. [Claim 9] Said resist pattern is the manufacture approach of the semiconductor device equipped with the fuse box according to claim 8 characterized by said slot and said field field consisting of a pattern which forms the arrangement which adjoined mutually on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed. [Claim 10] Said resist pattern is the manufacture approach of the semiconductor device equipped with the fuse box according to claim 7 or 9 characterized for the pattern which forms the arrangement which said slot and said field field adjoined mutually on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed by two or more trains preparation *****.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device, the semiconductor device equipped with the fuse box which has the manufacture approach and the metaled fuse member which can be especially cut by the laser beam, and its manufacture approach.

[0002]

[Description of the Prior Art] The fuse member is arranged on a circuit to the redundancy circuit replacement for compensating conventionally the defect of the memory cell generated by a production process etc. in semiconductor memories, such as DRAM (Dynamic Random Access Memory). The memory cell is transposed to the redundancy circuit by cutting the fuse member arranged in the circuit of the memory cell in which the defect was found by a laser beam etc. Moreover, the fuse member may be prepared in the internal voltage adjustment in a circuit.

[0003] Moreover, from the point of the management, each fuse members are collected in one fuse box, and are usually arranged. For example, this fuse box has two or more fuse members which connect electrically the gate inter-electrode formed on the oxide film 13 for isolation, as shown in drawing 17 .

As an oxide film 13 for these isolation, although LOCOS and a trench (slot) are common, in order to establish a fuse box in that upper part, most generally shallow trench separation (STI) is used also in the trench with the flat upper part. However, the further flattening is needed, advanced flattening by the chemical mechanical-polishing method (CMP:Chemical Mechanical Polishing) is performed, and technical amelioration of current and a CMP process is advanced further.

[0004]

[Problem(s) to be Solved by the Invention] In the isolation oxide film of a large area, a big depression (dishing (dishing)) may be produced in flattening of the oxide film for isolation by amelioration of this CMP process. It is thought that this big depression is produced according to the difference of each part of a separation pattern of condensation and rarefaction. When a fuse box is arranged on a large separation pattern, as shown in the sectional view of drawing 18, this big depression may occur on a large separation pattern. Since the center section of the large separation pattern is dented rather than an edge, the difference of elevation produces it in the fuse member of a center section, and the fuse member of an edge about many arranged fuse members. Therefore, when it is going to cut this fuse member by the laser beam condensed with a fixed focus, since a focus is not well carried out to the fuse member which has the difference of elevation, a fuse member may be unable to be cut certainly.

[0005] On the other hand, when a big depression is generated in an oxide film, an oxide film may fall at the edge of a separation pattern, and the edge section of a silicon substrate may be exposed. When gate oxide and a gate electrode are besides formed in this order, it is known that gate oxide will become thin in the edge section of a silicon substrate compared with other parts. This gate dielectric film may produce dielectric breakdown, in order for withstand voltage nature to fall in the part which became thin [the edge section circumference]. Moreover, gate oxide was thin-film-ized with detailed-izing of wiring etc., thin film-ization in the edge section progressed further, and generating of dielectric breakdown was serious.

[0006] Then, the first purpose of this invention is offering the semiconductor device which has the fuse box which does not have the difference of elevation in the fuse member which connects electrically the gate inter-electrode formed on the oxide film for isolation. Moreover, the 2nd purpose of this invention is offering the semiconductor device which has the stable fuse box which it is formed on the oxide film for isolation, and dielectric breakdown in the gate electrode for wiring of a fuse member does not generate.

[0007]

[Means for Solving the Problem] The semiconductor device equipped with the fuse box concerning this invention is characterized by the field field and insulator layer which consist of a semiconductor region adjoining mutually, and being arranged, and at least two gate electrodes being prepared on said at least one insulator layer, and coming to prepare the fuse member which connects said two gate electrodes electrically in the guard ring of the shape of a frame which consists of a semiconductor region formed on the semi-conductor substrate.

[0008] at least two gate electrodes form the semiconductor device equipped with the fuse box concerning this invention on the insulator layer in the guard ring of the shape of a frame which consists of a semiconductor region formed on the semi-conductor substrate -- having -- this -- it is characterized by to make the electric connection with the exterior through the connection which it came to prepare the fuse member which connects two gate electrodes, and was prepared by said gate electrode crossing the upper part of said guard ring.

[0009] Moreover, the semiconductor device equipped with the fuse box concerning this invention is a semiconductor device equipped with said fuse box, and is characterized by the field field which consists of a semiconductor region prepared on said semi-conductor substrate, and said insulator layer adjoining mutually, and coming to be arranged into said fuse box.

[0010] Furthermore, the semiconductor device equipped with the fuse box concerning this invention is a semiconductor device equipped with said fuse box, and is characterized for the train in which said field

field and said insulator layer adjoin mutually in said fuse box by two or more trains preparation *****.

[0011] Furthermore, the semiconductor device equipped with the fuse box concerning this invention is a semiconductor device equipped with said fuse box, and it is characterized by said fuse member which comes to extend horizontally in between the edges of each of said vertical mold connection coming electrically to connect said at least two gate electrodes formed on said insulator layer through the vertical mold connection which it comes to form in the direction of vertical facing up on said each gate electrode.

[0012] Moreover, the semiconductor device equipped with the fuse box concerning this invention is said semiconductor device, and said vertical mold connection is characterized by including the connection prepared by crossing the upper part of said guard ring.

[0013] The manufacture approach of the semiconductor device equipped with the fuse box concerning this invention The process which forms the mask film on a semi-conductor substrate, and the process which etches said semi-conductor substrate so that a resist pattern may be formed and the field field which consists of a semiconductor region may be formed, The process which etches said semi-conductor substrate using said mask film so that said resist pattern may be removed and a slot may be formed, The process which lays said slot underground by the insulator layer, and the process which carries out flattening of said insulator layer, It consists of a process which forms a gate electrode on said insulator layer, and a process which prepares the fuse member which connects said gate electrode electrically. Said resist pattern It is characterized by said slot and said field field consisting of a pattern which forms the arrangement which adjoined mutually on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed.

[0014] The manufacture approach of the semiconductor device equipped with the fuse box concerning this invention The process which forms the mask film on a semi-conductor substrate, and the process which etches said semi-conductor substrate so that a resist pattern may be formed and the field field which consists of a semiconductor region may be formed, The process which etches said semi-conductor substrate using said mask film so that said resist pattern may be removed and a slot may be formed, The process which lays said slot underground by the insulator layer, and the process which carries out flattening of said insulator layer, In the process which consists of a process which forms at least two gate electrodes, and a process which prepares the fuse member which connects said at least two gate electrodes, and prepares said fuse member on said insulator layer While forming said two gate electrodes on said insulator layer inside the guard ring used as the rim section of said fuse box, it is characterized by preparing the connection which crosses the upper part of said guard ring, and making connection with the exterior.

[0015] Moreover, the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention is the manufacture approach of said semiconductor device, and said resist pattern is characterized by said slot and said field field consisting of a pattern which forms the arrangement which adjoined mutually on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed.

[0016] Furthermore, the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention is the manufacture approach of said semiconductor device, and said resist pattern is characterized for the pattern which forms the arrangement which said slot and said field field adjoined mutually by two or more trains preparation ***** on said semi-conductor substrate according to the process which etches said semi-conductor substrate so that said field field may be formed.

[0017]

[Embodiment of the Invention] As the 1st mode, on the semi-conductor substrate, the field field and insulator layer which consist of a semiconductor region adjoin mutually, and the semiconductor device equipped with the fuse box concerning the gestalt of operation of this invention is arranged. Generating of the depression produced in an insulator layer can be controlled by dividing a big area of a fuse box in a field field, and specifically making area of the insulator layer of a lot small. Since the difference of

elevation is not produced by this in each fuse member arranged on an insulator layer, a fuse member can be certainly blown by the laser beam.

[0018] As the 2nd mode, the gate electrode is formed on the insulator layer inside [guard ring] a fuse box. And electric connection with the exterior is made with the contact which crosses the upper part of a guard ring. That is, since it has prepared on the insulator layer without preparing a gate electrode on a guard ring, dielectric breakdown in a gate electrode is not produced. Moreover, since the gate electrode is making electric connection with the exterior through the connection prepared by crossing the upper part of a guard ring without touching a guard ring directly, dielectric breakdown is not produced.

Dielectric breakdown in a gate electrode can be prevented by this.

[0019] In the semiconductor device concerning the gestalt 1 of operation of gestalt 1. this invention of operation, the rectangular field field 2 and the rectangular oxide film 13 adjoin mutually in a fuse box, and a strip-of-paper-like long side is made parallel, respectively and it is arranged. For this reason, the area of the oxide film 13 of a lot is small, and flattening of it is carried out, without generating a depression. Thereby, the difference of elevation does not arise in each fuse member 6 arranged on the gate electrode on an oxide film 13. Then, the fuse member 6 can be certainly blown by the laser beam. Moreover, since a depression is not generated in an oxide film 13, there is no depression of an oxide film 13 also in the boundary part of a guard ring 1 and an oxide film 13. For this reason, the field field 2 under gate oxide 7 is not exposed in the edge section. Then, the thickness of gate oxide 7 becomes almost fixed, and the withstand voltage of gate oxide 7 does not fall at the end.

[0020] In addition, in the fuse box of this semiconductor device, it connects with structure with three-dimensional each gate electrode 9 and fuse member 6. That is, between the gate electrodes 9 is not connected by the direct fuse member 6. Specifically, the bit-line contact 10, the bit line 4, and the vertical mold connection that becomes it from contact 5 are prepared in the direction of vertical facing up from the gate electrode 9. The fuse member 6 which connects between two more contacts 5 has extended horizontally. Thus, since it connects with three-dimensional structure, it is hard to give the moisture which invades from the trace after the blow by the laser beam even to the gate electrode 9. According to such structure, the wiring corrosion after a laser beam blow can be prevented.

[0021] The plan of the fuse box of the semiconductor device concerning the gestalt 1 of the operation of this invention to drawing 1 is shown. The fuse box in this semiconductor device is having the perimeter surrounded by the guard ring 1 which consists of a semiconductor region. In this guard ring 1, on the semi-conductor substrate 100, the rectangular field field 2 and the rectangular oxide film 13 which consist of a semiconductor region adjoin, and each other are arranged in each long side so that it may understand from the plan of drawing 1 , and the sectional view of drawing 3 .

[0022] In addition, arrangement of the field field 2 and oxide film 13 which consist of a semiconductor region on the semi-conductor substrate 100 should just be arrangement to which it is not restricted to the array which put the shape of a rectangle in order in parallel, and the area of the lot of an oxide film 13 becomes small compared with the area of the whole fuse box. Therefore, an oxide film 13 may be the case where are continuing as a whole and it is divided into two or more partitions by the field field 2. Moreover, the configuration of an insulator layer 13 should just be a configuration which is not restricted in the shape of a rectangle, but can form the gate electrodes 8 and 9.

[0023] The fuse box in this semiconductor device has two or more fuse members which connect electrically between the gate electrodes 9 on the oxide film 13 in a guard ring 1. One fuse member 6 has connected electrically between two gate electrodes 9 formed on the oxide film 13. It does not connect directly [each gate electrode 9 and the fuse member 6] as it is, but, specifically, connects with the structure developed in three dimensions on the gate electrode 9. That is, it has the vertical mold connection by which the bit-line contact 10, the bit line 4, and contact 5 were formed in the direction of vertical facing up on the gate electrode 9 at this order. Furthermore, the fuse member 6 which connects each contact 5 electrically has extended horizontally between each contact 5. Therefore, the fuse member 6 to which the gate electrode 9 to the contact 5 connects between contacts 5 electrically with

vertical mold structure extends horizontally, and is constituted by the structure developed in three dimensions as a whole.

[0024] Next, an accompanying drawing is used and explained below about the formation approach of the fuse box in this semiconductor device. first, the silicon substrate 100 top which is a semi-conductor substrate -- CVD (Chemical Vapor Deposition) -- the pad oxide film 14 is formed by law. This oxide film 14 is not restricted to a CVD method, but may be formed by the oxidizing [thermally] method. Subsequently, the silicon nitride 15 used as the mask which forms a field pattern is formed with a CVD method (drawing 4). Furthermore, the resist pattern 16 for field patterns is formed by the lithography method, and a field pattern is formed by dry etching by using this resist pattern 16 as a mask (drawing 5). Next, after ashing removes this resist pattern 16, the silicon nitride 15 by which patterning was carried out to the field pattern is used as a mask, dry etching of the silicon substrate 100 is carried out, and a slot (trench) is formed (drawing 6).

[0025] In addition, after forming this slot, in order to recover the damage which joined the silicon substrate by dry etching, thermal oxidation processing may be performed to a silicon substrate. Furthermore, after this thermal oxidation processing, a silicon substrate surface is nitrided, or thickness forms nitride about 20nm or less in the silicon substrate surface, and the stress by the subsequent oxidation process may be made to ease.

[0026] Next, an oxide film 13 is made to deposit on a silicon substrate with a high density plasma (HDP:High Density Plasma) CVD method (drawing 7). By this, the slot formed on the silicon substrate 100 is laid underground with an oxide film 13. Subsequently, a resist pattern 21 is formed and dry etching of the field pattern top is partially carried out by using this resist pattern as a mask (drawing 8). Furthermore, an oxide film 13 is ground by the chemical mechanical-polishing method (the CMP method: Chemical Mechanical Polishing). And flattening is carried out so that the field of the silicon nitride 15 by which patterning was carried out to the field pattern may be exposed (drawing 9). Then, this silicon nitride 15, an oxide film 13, and the pad oxide film 14 are alternatively etched into this order, respectively, and the silicon nitride 15 and the pad oxide film 14 are removed (drawing 10).

[0027] At this time, as shown in the plan of drawing 1 , and the sectional view of drawing 3 , in the guard ring 1 which consists of a semiconductor region, the field field 2 which consists of a strip-of-paper-like semiconductor region, and the oxide film 13 which is a strip-of-paper-like insulator layer adjoin mutually, and is arranged at the semi-conductor substrate 100 top. That is, in this fuse box, the whole large separation was not used as the oxide film, but it has divided into the field of two or more strip-of-paper-like oxide films 13 by two or more field fields 2. Thus, by making area of one oxide film 13 small, as shown in drawing 10 , generating of the depression of an oxide film 13 can be controlled.

[0028] Moreover, it opts for arrangement of this field field 2 and an oxide film 13 with a resist pattern 16. A fuse member is prepared according to the process mentioned later on this oxide film 13. Then, the resist pattern 16 of a desired configuration can be formed about the oxide film 13 which arranges a fuse member. In this case, the area of the field field 2 in the guard ring 1 of a fuse box is 15 - 60% of within the limits preferably.

[0029] Furthermore, how to form the fuse member 6 in this fuse box is explained. First, gate oxide 7 is formed on it over the guard ring 1 and oxide film 13 which consist of a semiconductor region. Subsequently, the gate electrode (it considers as the gate electrode 9 hereafter using a upside sign.) which consists of a laminating wiring layer of the polish recon 8 and tungsten silicide 9 is formed on gate oxide 7 (drawing 11 R> 1). Next, the bit-line contact 10 which consists of a tungsten is formed on this gate electrode 9, and the bit line 4 and the gate electrode 9 which consist of a tungsten are connected. This bit-line contact 10 is not restricted to a tungsten, but may consist of polish recon etc. Subsequently, the contact 5 which consists of a tungsten is formed on the bit line 4, and between each contact 5 is connected by the fuse member 6 which consists of an aluminum-Cu alloy.

[0030] In addition, this fuse member 6 can use the material which can be cut by the laser beam, for example, copper, a tungsten simple substance, copper or a tungsten, titanium or the laminating structure

with TiN, AlCu, or AlSiCu.

[0031] Furthermore, this fuse member 6 is covered with the oxide film 11 by which the laminating was carried out on the isolation oxide film 13. The ingredient of this insulator layer 11 may consist of TEOS, BPTEOS, FSG, etc. Subsequently, the laminating of a nitride 20 and the photosensitive polyimide layer 12 is carried out to this order. Then, opening 30 is formed in a nitride 20 and the photosensitive polyimide layer 12 by dry etching so that the fuse member 6 can be blown by the laser beam (drawing 2). A fuse box is formed of this.

[0032] In addition, the blow to the fuse member 6 by the laser beam is performed through opening 30. The oxide film 11 of the fuse member 6 which received the exposure of a laser beam, and its upper part produces a rapid thermal expansion, and the fuse member 6 is cut.

[0033] For the fuse box of the semiconductor device concerning the gestalt 2 of operation of gestalt 2. this invention of operation, the trains in which an oxide film 13 adjoins mutually the field field 2 which consists of a semiconductor region on a semi-conductor substrate in a fuse box are 2 *****. Thus, generating of the depression in an oxide film 13 is prevented by having divided large separation into two or more small oxide films 13 not by one oxide film but by the field field 2. By this, the poor initial withstand voltage of the gate dielectric film 7 between the guard rings 1 which consist of a gate electrode and a semiconductor region is prevented, and the semiconductor device which has high dependability can be offered.

[0034] Moreover, every one fuse member is prepared on each oxide film. That is, the fuse member of two trains is prepared in the fuse box. Thus, since the fuse member of two or more trains can be arranged and wiring can be packed in a fuse box, the occupancy area of a fuse box can be reduced. The occupancy area of the fuse box in the whole chip can be reduced by this, and it is suitable also for chip shrink.

[0035] The plan of the fuse box of the semiconductor device concerning the gestalt 2 of the operation of this invention to drawing 12 is shown. The fuse box in this semiconductor device is different as compared with the fuse box in the semiconductor device concerning the gestalt 1 of operation in that the train which the field field 2 and an oxide film 13 adjoin mutually is ****(ed) two times on a semi-conductor substrate.

[0036] The fuse box in this semiconductor device has two or more fuse members which consist of two trains. Moreover, in this fuse box, wiring can be simplified by collecting one side of the bit line 4 among the vertical mold connections which are wiring to each fuse member 6, connecting electrically, and connecting with a gland, or connecting with Vcc etc. By this, the wiring area in a fuse box can be reduced and the pulse duty factor of a fuse box can be lowered.

[0037] In addition, it is desirable that the area of the field field 2 is in 15 – 60% of within the limits to the whole surface product of the field field 2 which consists of a semiconductor region on the semi-conductor substrate 100 in a guard ring, and an insulator layer 13.

[0038] The fuse box of the semiconductor device concerning the gestalt 3 of operation of gestalt 3. this invention of operation forms the gate electrode on the oxide film inside [guard ring] a fuse box. This does not produce dielectric breakdown of the gate electrode currently formed on the oxide film irrespective of the existence of exposure of the semiconductor region which constitutes the guard ring in the edge of a guard ring and an oxide film. Moreover, electric connection with the exterior is made through the bit line prepared by crossing the upper part of a guard ring. Therefore, in connection with the exterior, bit contact does not contact a guard ring directly, and dielectric breakdown is not produced.

[0039] The plan of the fuse box of this semiconductor device is shown in drawing 13 . As compared with the fuse box of the semiconductor device which the fuse box in this semiconductor device requires for the gestalt 1 of operation, the gate electrodes 8 and 9 are formed on the oxide film 13 of the guard ring 1 inside, and are different at the point which is not established on a guard ring 1. Moreover, it is different in that electric connection with the exterior is made through the bit line 4 prepared by crossing the upper part of a guard ring 1.

[0040] The fuse box in this semiconductor device has two or more fuse members. Each fuse member and a gate electrode are electrically connected by the vertical mold connection which consists of three-dimensional structure on the gate electrode 9. Specifically, two gate electrodes 9 formed on the oxide film 13 in a guard ring 1 are electrically connected by the fuse member 6 which extends horizontally between each vertical mold connection formed in the direction of vertical facing up on the gate electrode 9, as shown in the sectional view of drawing 14. Moreover, unlike the fuse box of the gestalt 1 of operation, each gate electrodes 8 and 9 are not formed on the guard ring 1. For this reason, electric connection between the gate electrode 9 and the exterior is made through the bit line 4 prepared by crossing the upper part of a guard ring 1.

[0041] In addition, in this fuse member 6, although electric connection with the exterior is made through the bit line 4, the connection with the exterior is not restricted to this. The electric connection from the outside is once drawn on the gate electrode 9, and may be performed like the gestalt 1 of making connection with the fuse member 6.

[0042] Thus, since the gate electrode is formed on the oxide film 13 in a guard ring 1, dielectric breakdown of the gate electrode 9 is not carried out irrespective of the exposure existence of the edge section of the guard ring by the depression of an oxide film 13. Then, the poor initial withstand voltage of the gate dielectric film 7 between the guard rings 1 which consist of a gate electrode 9 and a semiconductor region is prevented, and the semiconductor device which has high dependability can be offered.

[0043] The fuse box of the semiconductor device concerning the gestalt 4 of operation of gestalt 4. this invention of operation forms the gate electrode on the oxide film in the guard ring of a fuse box. This does not produce dielectric breakdown of the gate electrode currently formed on the oxide film irrespective of the existence of exposure of the semiconductor region which constitutes the guard ring in the edge of a guard ring and an oxide film. Moreover, electric connection with the exterior is made through the bit line prepared by crossing the upper part of a guard ring. Therefore, in connection with the exterior, the bit line does not contact a guard ring directly, and dielectric breakdown is not produced.

[0044] Moreover, as for the fuse box of this semiconductor device, the fuse member of two trains is formed. Thus, since the fuse member of two or more trains can be arranged and wiring can be packed in a fuse box, the occupancy area of a fuse box can be reduced. The occupancy area of the fuse box in the whole chip can be reduced by this, and it is suitable also for chip shrink.

[0045] The plan of the fuse box of the semiconductor device concerning the gestalt 4 of the operation of this invention to drawing 15 is shown. The fuse box in this semiconductor device is different in that it has the fuse member of two trains as compared with the fuse box in the semiconductor device concerning the gestalt 3 of operation.

[0046] The fuse box in this semiconductor device has two or more fuse members which consist of two trains. For this reason, wiring can be simplified by collecting one side of the bit line 4 which constitutes the vertical mold connection which is wiring to each fuse member, connecting electrically, and connecting with a gland, or connecting with Vcc etc. By this, the wiring area in a fuse box can be reduced and the pulse duty factor of a fuse box can be lowered.

[0047]

[Effect of the Invention] As mentioned above, according to the semiconductor device equipped with the fuse box concerning this invention, on the semi-conductor substrate, the field field and insulator layer which consist of a semiconductor region adjoin mutually, and are arranged as explained in full detail. Thus, the depression produced in an insulator layer can be controlled by dividing a big area of a fuse box in a field field, and making area of the insulator layer of a lot small. Since the difference of elevation is not produced by this in the fuse member arranged on an insulator layer, a fuse member can be certainly blown by the laser beam.

[0048] According to the semiconductor device equipped with the fuse box concerning this invention, the gate electrode is formed on the insulator layer inside [guard ring] a fuse box. And electric connection

with the exterior is made by the connection which crosses the upper part of a guard ring. That is, since it has prepared on the insulator layer without preparing a gate electrode on a guard ring, dielectric breakdown in a gate electrode is not produced. Moreover, the gate electrode is making connection with the exterior through the connection prepared by crossing the upper part of a guard ring without touching a guard ring directly. Then, dielectric breakdown in a gate electrode can be prevented.

[0049] Moreover, according to the semiconductor device equipped with the fuse box concerning this invention, generating of the depression in an insulator layer can be controlled by dividing a big area of a fuse box in a field field, and making area of the insulator layer of a lot small.

[0050] Furthermore, according to the semiconductor device equipped with the fuse box concerning this invention, the fuse member of two or more trains can be arranged for the train in which an insulator layer adjoins a field field mutually by that of double sequence-of-numbers *****. By this, wiring in a fuse box can be simplified and the area of a fuse box can be decreased. Therefore, the chip pulse duty factor of a fuse box can be reduced.

[0051] Furthermore, according to the semiconductor device equipped with the fuse box concerning this invention, in this fuse box, it has not connected gate inter-electrode by the direct fuse member. Moreover, as for the connection with a fuse member from a gate electrode, the vertical mold connection is prepared in the direction of vertical facing up. The fuse member which furthermore connects between this vertical mold connection has extended horizontally between each vertical mold connection. For this reason, it is hard to give the moisture which invades from the trace after the blow by the laser beam even to a gate electrode. According to such three-dimensional structure, the wiring corrosion after a laser beam blow can be prevented.

[0052] Moreover, since the connection prepared in a vertical mold connection by crossing the upper part of a guard ring is included according to the semiconductor device equipped with the fuse box concerning this invention, electric connection can be made easily.

[0053] According to the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention, the resist pattern used in the process which etches said semi-conductor substrate so that the field field which consists of a semiconductor region may be formed consists of a pattern which forms the arrangement which adjoined the field field which consists of a semiconductor region on a semi-conductor substrate, and the insulator layer by this etching. Thus, the depression produced in an insulator layer can be controlled by dividing a big area of a fuse box in a field field, and making area of the insulator layer of a lot small. Since the difference of elevation is not produced by this in the fuse member arranged on an insulator layer, a fuse member can be certainly blown by the laser beam.

[0054] According to the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention, a gate electrode is formed on the insulator layer in the guard ring of a fuse box. And electric connection with the exterior is made by the connection which crosses the upper part of a guard ring. That is, since it prepares on an insulator layer without preparing a gate electrode on a guard ring, dielectric breakdown in a gate electrode is not produced. Moreover, a gate electrode prepares the connection which crosses the upper part of a guard ring without touching a guard ring directly, and it makes connection with the exterior. So, dielectric breakdown can be prevented in a gate electrode.

[0055] Moreover, according to the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention, generating of the depression in an insulator layer can be controlled by dividing a big area of a fuse box in a field field, and making area of the insulator layer of a lot small.

[0056] furthermore, the pattern which forms the arrangement which adjoined the field field where the resist pattern used in the process which etches said semi-conductor substrate so that the field field which consists of a semiconductor region may be formed according to the manufacture approach of the semiconductor device equipped with the fuse box concerning this invention consists of a semiconductor region on a semi-conductor substrate by this etching, and the insulator layer — a double sequence of

numbers -- ***** -- ** By this, wiring in a fuse box can be simplified and the area of a fuse box can be decreased. Therefore, the chip pulse duty factor of a fuse box can be reduced.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plan of the fuse box in the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the A-A' line sectional view of drawing 1.

[Drawing 3] It is the B-B' line sectional view of drawing 1.

[Drawing 4] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view showing the process which carries out the laminating of an oxide film and the nitride to this order on a semi-conductor substrate, and forms a resist pattern on it.

[Drawing 5] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view which formed and etched the resist pattern.

[Drawing 6] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view which removed and etched the resist and formed the slot.

[Drawing 7] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view which laid the oxide film under the slot.

[Drawing 8] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view which formed the resist pattern and etched the oxide film partially.

[Drawing 9] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view in which flattening of the oxide film was carried out, and the nitride was exposed.

[Drawing 10] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view in which the nitride and the oxide film were removed and the semiconductor region was exposed.

[Drawing 11] In the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention, it is the sectional view which formed the gate electrode over the guard ring and the oxide film.

[Drawing 12] It is the plan of the fuse box in the semiconductor device concerning the gestalt 2 of operation of this invention.

[Drawing 13] It is the plan of the fuse box in the semiconductor device concerning the gestalt 3 of

operation of this invention.

[Drawing 14] It is the C-C' line sectional view of drawing 13 .

[Drawing 15] It is the plan of the fuse box in the semiconductor device concerning the gestalt 4 of operation of this invention.

[Drawing 16] It is the plan of the fuse box in the conventional semiconductor device.

[Drawing 17] It is the D-D' line sectional view of drawing 1 .

[Drawing 18] It is the sectional view showing generating of the big depression in the time of oxide-film flattening before the gate electrode formation in the fuse-box production process of the conventional semiconductor device.

[Drawing 19] The sectional view at the time of gate electrode formation

[Description of Notations]

1 Guard Ring (Semiconductor Region) 2 Field Field (Semiconductor Region), 3 Component isolation region 4 Bit line 5 Contact, 6 Fuse member 7 Gate oxide 8 Nine Gate electrode, 10 Bit-line contact 11 Insulating layer 12 Photosensitive polyimide layer, 13 Oxide film for isolation 14 Pad oxide film 15 Silicon nitride, 16 The resist film, 17 Gate oxide 18 19 Gate electrode 20 Nitride 21 Resist film 30 Opening 100 Silicon substrate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164433

(P2002-164433A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	ターム(参考)
H 0 1 L	21/82	H 0 1 L	21/82
	21/3205		21/88
	21/768		21/90

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願2000-359248 (P2000-359248)

(22) 出願日 平成12年11月27日 (2000. 11. 27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 白竹 茂

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外2名)

Fターム(参考) 5F033 HH09 HH11 HH18 HH19 HH33

JJ04 JJ19 KK04 KK19 KK28

MM05 MM07 RR04 RR06 RR11

RR15 RR22 RR27 SS04 TT04

VV11 XX00 XX18 XX31

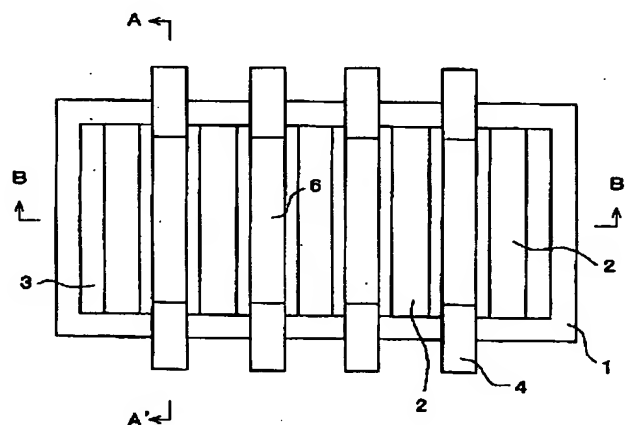
5F064 BB14 FF02 FF27 FF42 GG03

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 レーザ光により切断可能な金属のヒューズ部材を有するヒューズボックスを備えた半導体装置とその製造方法を提供する。

【解決手段】 ヒューズボックスを備えた半導体装置は、半導体基板100上に形成された半導体領域からなる枠状のガードリング1内に、半導体領域からなるフィールド領域2と絶縁膜13とが互いに隣接して配置され、少なくとも一つの前記絶縁膜上には、少なくとも2つのゲート電極8、9が設けられ、前記2つのゲート電極を接続するヒューズ部材6が設けられてなる。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 半導体基板上に形成された半導体領域からなる枠状のガードリング内に、半導体領域からなるフィールド領域と絶縁膜とが互いに隣接して配置され、少なくとも一つの前記絶縁膜上に、少なくとも2つのゲート電極が設けられ、前記2つのゲート電極を電気的に接続するヒューズ部材が設けられてなることを特徴とするヒューズボックスを備えた半導体装置。

【請求項2】 半導体基板上に形成された半導体領域からなる枠状のガードリング内の絶縁膜上に、少なくとも2つのゲート電極が設けられ、該2つのゲート電極を接続するヒューズ部材が設けられてなり、前記ゲート電極は、前記ガードリングの上部を横断して設けられた接続部を介して外部との電気的な接続を行うことを特徴とするヒューズボックスを備えた半導体装置。

【請求項3】 前記ヒューズボックス内には、前記半導体基板上に設けられた半導体領域からなるフィールド領域と前記絶縁膜とが互いに隣接して配置されてなることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記ヒューズボックス内に、前記フィールド領域と前記絶縁膜とが互いに隣接する列を複数列備えたことを特徴とする請求項1又は請求項3に記載の半導体装置。

【請求項5】 前記絶縁膜上に形成された少なくとも2つの前記ゲート電極は、前記各ゲート電極上に鉛直上向き方向に形成されてなる縦型接続部を介して、前記各縦型接続部の端部の間を水平方向に延在してなる前記ヒューズ部材によって電気的に接続されてなることを特徴とする請求項1から4のいずれか一項に記載のヒューズボックスを備えた半導体装置。

【請求項6】 前記縦型接続部は、前記ガードリングの上部を横断して設けられた接続部を含むことを特徴とする請求項5に記載のヒューズボックスを備えた半導体装置。

【請求項7】 半導体基板上にマスク膜を形成する工程と、レジストパターンを形成し、半導体領域からなるフィールド領域を形成するように前記半導体基板をエッチングする工程と、前記レジストパターンを除去し、溝を形成するように前記マスク膜を用いて前記半導体基板をエッチングする工程と、前記溝を絶縁膜で埋設する工程と、前記絶縁膜を平坦化する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を電気的に接続するヒューズ部材を設ける工程とからなり、前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって

2

前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンからなることを特徴とするヒューズボックスを備えた半導体装置の製造方法。

【請求項8】 半導体基板上にマスク膜を形成する工程と、

レジストパターンを形成し、半導体領域からなるフィールド領域を形成するように前記半導体基板をエッチングする工程と、

10 前記レジストパターンを除去し、溝を形成するように前記マスク膜を用いて前記半導体基板をエッチングする工程と、

前記溝を絶縁膜で埋設する工程と、

前記絶縁膜を平坦化する工程と、

前記絶縁膜上に少なくとも2つのゲート電極を形成する工程と、

前記少なくとも2つのゲート電極を接続するヒューズ部材を設ける工程とからなり、

20 前記ヒューズ部材を設ける工程において、前記2つのゲート電極を、前記ヒューズボックスの外縁部となるガードリングより内側の前記絶縁膜上に形成すると共に、前記ガードリングの上部を横断する接続部を設けて外部との接続を行うことを特徴とするヒューズボックスを備えた半導体装置の製造方法。

【請求項9】 前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンからなることを特徴とする請求項8に記載のヒューズボックスを備えた半導体装置の製造方法。

30 【請求項10】 前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンを複数列備えたことを特徴とする請求項7又は請求項9に記載のヒューズボックスを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】本発明は、半導体装置とその製造方法、特に、レーザ光により切断可能な金属のヒューズ部材を有するヒューズボックスを備えた半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置において、製造工程等により発生するメモリセルの欠陥を補償するための冗長回路置き換え用に回路上にヒューズ部材を配置している。欠陥が見つかったメモリセルの回路に配置されているヒューズ部材をレーザ光等で切断することによってそのメ

50

(3)

3

モリセルを冗長回路に置き換えている。また、回路中の内部電圧調整用にヒューズ部材が設けられている場合もある。

【0003】また、各ヒューズ部材は、通常、その管理の点から一つのヒューズボックス内に集めて配置されている。例えば、このヒューズボックスは、図17に示すように、素子分離用の酸化膜13上に形成されたゲート電極間を電氣的に接続する複数のヒューズ部材を有している。この素子分離用の酸化膜13としては、LOCOSやトレンチ（溝）が一般的であるが、その上部にヒューズボックスを設けるためには、上部が平坦なトレンチ、なかでもシャロートレンチ分離（STI）が最も一般的に用いられている。しかし、さらなる平坦化が必要とされており、化学的機械研磨法（CMP：Chemical Mechanical Polishing）による高度な平坦化が行われ、さらに現在、CMPプロセスの技術改良が進められている。

【0004】

【発明が解決しようとする課題】このCMPプロセスの改良による素子分離用酸化膜の平坦化にあたって、大面積の素子分離酸化膜では、大きな凹み（ディッシング（dishing））を生じることがある。この大きな凹みは、分離パターンの各部の粗密差によって生じるものと考えられている。ヒューズボックスが大分離パターン上にレイアウトされた場合、図18の断面図に示すように、大分離パターン上にこの大きな凹みが発生することがある。大分離パターンの中央部は端部よりも凹むため、配置された多くのヒューズ部材に関して中央部のヒューズ部材と端部のヒューズ部材とで高低差が生じる。そのため、一定の焦点で集光されるレーザ光でこのヒューズ部材を切断しようとする場合には、高低差を有するヒューズ部材にはうまくフォーカスされないためにヒューズ部材を確実に切断できない場合がある。

【0005】一方、酸化膜に大きな凹みが生じた場合、分離パターンの端部で酸化膜が落ち込んでシリコン基板のエッジ部が露出する場合がある。この上にゲート酸化膜、ゲート電極をこの順に形成した場合、ゲート酸化膜は他の部分に比べてシリコン基板のエッジ部で薄くなることが知られている。このゲート絶縁膜は、エッジ部周辺の薄くなった箇所では絶縁耐圧性が低下するために絶縁破壊を生じる場合がある。また配線等の微細化に伴ってゲート酸化膜が薄膜化されており、エッジ部での薄膜化が一層進んで絶縁破壊の発生が深刻となっていた。

【0006】そこで、本発明の第一の目的は、素子分離用の酸化膜上に形成するゲート電極間を電氣的に接続するヒューズ部材に高低差のないヒューズボックスを有する半導体装置を提供することである。また、本発明の第二の目的は、素子分離用の酸化膜上に形成され、ヒューズ部材の配線用のゲート電極での絶縁破壊が発生しない安定したヒューズボックスを有する半導体装置を提供す

4

ることである。

【0007】

【課題を解決するための手段】本発明に係るヒューズボックスを備えた半導体装置は、半導体基板上に形成された半導体領域からなる枠状のガードリング内に、半導体領域からなるフィールド領域と絶縁膜とが互いに隣接して配置され、少なくとも一つの前記絶縁膜上に、少なくとも2つのゲート電極が設けられ、前記2つのゲート電極を電氣的に接続するヒューズ部材が設けられてなることを特徴とする。

【0008】本発明に係るヒューズボックスを備えた半導体装置は、半導体基板上に形成された半導体領域からなる枠状のガードリング内の絶縁膜上に、少なくとも2つのゲート電極が設けられ、該2つのゲート電極を接続するヒューズ部材が設けられてなり、前記ゲート電極は、前記ガードリングの上部を横断して設けられた接続部を介して外部との電氣的な接続を行うことを特徴とする。

【0009】また、本発明に係るヒューズボックスを備えた半導体装置は、前記ヒューズボックスを備えた半導体装置であって、前記ヒューズボックス内には、前記半導体基板上に設けられた半導体領域からなるフィールド領域と前記絶縁膜とが互いに隣接して配置されてなることを特徴とする。

【0010】さらに、本発明に係るヒューズボックスを備えた半導体装置は、前記ヒューズボックスを備えた半導体装置であって、前記ヒューズボックス内に、前記フィールド領域と前記絶縁膜とが互いに隣接する列を複数列備えたことを特徴とする。

【0011】またさらに、本発明に係るヒューズボックスを備えた半導体装置は、前記ヒューズボックスを備えた半導体装置であって、前記絶縁膜上に形成された少なくとも2つの前記ゲート電極は、前記各ゲート電極上に鉛直上向き方向に形成されてなる縦型接続部を介して、前記各縦型接続部の端部の間を水平方向に延在してなる前記ヒューズ部材によって電氣的に接続されてなることを特徴とする。

【0012】また、本発明に係るヒューズボックスを備えた半導体装置は、前記半導体装置であって、前記縦型接続部は、前記ガードリングの上部を横断して設けられる接続部を含むことを特徴とする。

【0013】本発明に係るヒューズボックスを備えた半導体装置の製造方法は、半導体基板上にマスク膜を形成する工程と、レジストパターンを形成し、半導体領域からなるフィールド領域を形成するように前記半導体基板をエッチングする工程と、前記レジストパターンを除去し、溝を形成するように前記マスク膜を用いて前記半導体基板をエッチングする工程と、前記溝を絶縁膜で埋設する工程と、前記絶縁膜を平坦化する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を

(4)

5

電気的に接続するヒューズ部材を設ける工程とからなり、前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンからなることを特徴とする。

【0014】本発明に係るヒューズボックスを備えた半導体装置の製造方法は、半導体基板上にマスク膜を形成する工程と、レジストパターンを形成し、半導体領域からなるフィールド領域を形成するように前記半導体基板をエッチングする工程と、前記レジストパターンを除去し、溝を形成するように前記マスク膜を用いて前記半導体基板をエッチングする工程と、前記溝を絶縁膜で埋設する工程と、前記絶縁膜を平坦化する工程と、前記絶縁膜上に少なくとも2つのゲート電極を形成する工程と、前記少なくとも2つのゲート電極を接続するヒューズ部材を設ける工程とからなり、前記ヒューズ部材を設ける工程において、前記2つのゲート電極を、前記ヒューズボックスの外縁部となるガードリングより内側の前記絶縁膜上に形成すると共に、前記ガードリングの上部を横断する接続部を設けて外部との接続を行うことを特徴とする。

【0015】また、本発明に係るヒューズボックスを備えた半導体装置の製造方法は、前記半導体装置の製造方法であって、前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンからなることを特徴とする。

【0016】さらに、本発明に係るヒューズボックスを備えた半導体装置の製造方法は、前記半導体装置の製造方法であって、前記レジストパターンは、前記フィールド領域を形成するように前記半導体基板をエッチングする工程によって前記半導体基板上で前記溝と前記フィールド領域とが互いに隣接した配置を形成するパターンを複数列備えたことを特徴とする。

【0017】

【発明の実施の形態】本発明の実施の形態に係るヒューズボックスを備えた半導体装置は、第1の態様としては、半導体基板上で半導体領域からなるフィールド領域と絶縁膜とが互いに隣接して配置されている。具体的には、ヒューズボックスの大きな面積をフィールド領域で分割して一区画の絶縁膜の面積を小さくすることで、絶縁膜に生じる凹みの発生を抑制することができる。これによって、絶縁膜上にレイアウトされる各ヒューズ部材に高低差を生じないため、レーザ光によってヒューズ部材を確実にブローすることができる。

【0018】第2の態様としては、ゲート電極をヒューズボックスのガードリング内側の絶縁膜上に形成している。そして外部との電気的な接続をガードリングの上部

6

を横断するコンタクトによって行っている。つまり、ゲート電極をガードリング上に設けずに絶縁膜上に設けているので、ゲート電極での絶縁破壊は生じない。また、ゲート電極は、ガードリングに直接接しないので、ガードリングの上部を横断して設けられている接続部を介して外部との電気的な接続を行っているため、絶縁破壊は生じない。これによってゲート電極での絶縁破壊を防止することができる。

【0019】実施の形態1. 本発明の実施の形態1に係る半導体装置では、ヒューズボックス内で短冊形状のフィールド領域2と短冊形状の酸化膜13とは互いに隣接し、それぞれ短冊状の長辺を平行にして配列されている。このため、一区画の酸化膜13の面積は小さく、凹みが発生することなく平坦化される。これにより、酸化膜13上のゲート電極上にレイアウトされているそれぞれのヒューズ部材6には高低差が生じない。そこで、レーザ光によってヒューズ部材6を確実にブローできる。また、酸化膜13に凹みが生じないことから、ガードリング1と酸化膜13との境界部分においても、酸化膜13の落ち込みがない。このため、ゲート酸化膜7の下

のフィールド領域2はエッジ部においても露出しない。そこで、ゲート酸化膜7の厚みはほぼ一定となり、端部でゲート酸化膜7の絶縁耐圧が低下することがない。

【0020】なお、この半導体装置のヒューズボックスにおいて、各ゲート電極9とヒューズ部材6とは、立体的な構造で接続されている。つまり、ゲート電極9間を直接ヒューズ部材6で接続していない。具体的には、ゲート電極9から鉛直上向き方向にビットラインコンタクト10、ビットライン4、それにコンタクト5からなる縦型接続部が設けられている。さらに2つのコンタクト5間を接続するヒューズ部材6は、水平方向に延在している。このように立体的な構造で接続されているため、レーザ光によるブロー後の痕跡から侵入する湿気はゲート電極9にまで達し難い。このような構造によって、レーザ光ブロー後の配線腐食を防止することができる。

【0021】図1に本発明の実施の形態1に係る半導体装置のヒューズボックスの上面図を示す。この半導体装置におけるヒューズボックスは、半導体領域からなるガードリング1に周囲を囲まれている。このガードリング1の中には、図1の上面図と、図3の断面図とからわかるように、半導体基板100上で、半導体領域からなる短冊形状のフィールド領域2と短冊形状の酸化膜13とが互いに各長辺で隣接して配置されている。

【0022】なお、半導体基板100上での半導体領域からなるフィールド領域2と酸化膜13の配置は、短冊形状を平行に並べた配列に限られるものではなく、酸化膜13の一区画の面積がヒューズボックス全体の面積に比べて小さくなる配置であればよい。したがって、酸化膜13は全体として連続しており、フィールド領域2によって複数の区画に分けられている場合であってもよ

(5)

7

い。また、絶縁膜13の形状は、短冊形状に限られず、ゲート電極8、9を形成できる形状であればよい。

【0023】この半導体装置におけるヒューズボックスは、ガードリング1内の酸化膜13上のゲート電極9間を電気的に接続する複数のヒューズ部材を有している。一つのヒューズ部材6は、酸化膜13の上に形成された2つのゲート電極9間を電気的に接続している。具体的には、各ゲート電極9とヒューズ部材6とはそのまま直接に接続されるのではなく、ゲート電極9上に立体的に展開された構造で接続されている。つまり、ゲート電極9上の鉛直上向き方向に、ビットラインコンタクト10、ビットライン4、コンタクト5がこの順に設けられた縦型接続部を有している。さらに、各コンタクト5を電気的に接続するヒューズ部材6は、各コンタクト5の間で水平方向に延在している。したがって、ゲート電極9からコンタクト5までは縦型構造で、コンタクト5間を電気的に接続するヒューズ部材6は水平方向に延在し、全体として立体的に展開された構造によって構成されている。

【0024】次に、この半導体装置におけるヒューズボックスの形成方法について、以下に添付図面を用いて説明する。まず、半導体基板であるシリコン基板100上にCVD (Chemical Vapor Deposition) 法によってパッド酸化膜14を形成する。この酸化膜14はCVD法に限られず、熱酸化法によって形成してもよい。次いで、フィールドパターンを形成するマスクとなるシリコン窒化膜15をCVD法によって形成する(図4)。さらに、フィールドパターン用のレジストパターン16をリソグラフィ法により形成し、このレジストパターン16をマスクとしてドライエッチングによってフィールドパターンを形成する(図5)。次に、このレジストパターン16をアッシングによって除去した後、フィールドパターンにパターニングされたシリコン窒化膜15をマスクにしてシリコン基板100をドライエッチングして溝(トレンチ)を形成する(図6)。

【0025】なお、この溝を形成後、ドライエッチングでシリコン基板に加わったダメージを回復させるためにシリコン基板に熱酸化処理を行ってもよい。さらに、この熱酸化処理の後、シリコン基板表面を窒化するか、又は厚さが約20nm以下の窒化膜をシリコン基板表面に形成しておき、その後の酸化プロセスによるストレスを緩和させてもよい。

【0026】次に、高密度プラズマ(HDP: High Density Plasma) CVD法によってシリコン基板上に酸化膜13を堆積させる(図7)。これによって、シリコン基板100上に形成した溝を酸化膜13で埋設する。次いでレジストパターン21を形成して、このレジストパターンをマスクとしてフィールドパターンの上を部分的にドライエッチングする(図8)。さらに、化学的機械研磨法(CMP法: Chemical Mechanical Polishing)

8

によって、酸化膜13を研磨する。そして、フィールドパターンにパターニングされたシリコン窒化膜15の面が露出するように平坦化する(図9)。その後、このシリコン窒化膜15、酸化膜13とパッド酸化膜14をこの順にそれぞれ選択的にエッチングして、シリコン窒化膜15とパッド酸化膜14とを除去する(図10)。

【0027】このとき、半導体基板100上には、図1の上面図と、図3の断面図に示されるように、半導体領域からなるガードリング1内に、短冊状の半導体領域からなるフィールド領域2と短冊状の絶縁膜である酸化膜13とが互いに隣接して配置されている。つまり、このヒューズボックスでは、大分離の全体を酸化膜とするのではなく、複数のフィールド領域2によって短冊状の複数の酸化膜13の領域に区切っている。このように一つの酸化膜13の面積を小さくすることによって、図10に示すように、酸化膜13の凹みの発生を抑制することができる。

【0028】また、このフィールド領域2と酸化膜13の配置は、レジストパターン16によって決められる。この酸化膜13上にヒューズ部材は後述する工程によって設けられる。そこで、ヒューズ部材を配置する酸化膜13について所望の形状のレジストパターン16を形成することができる。この場合、ヒューズボックスのガードリング1内におけるフィールド領域2の面積は、好ましくは15~60%の範囲内である。

【0029】さらに、このヒューズボックス内にヒューズ部材6を設ける方法について説明する。まず、半導体領域からなるガードリング1と酸化膜13とにわたってその上にゲート酸化膜7を形成する。次いで、ゲート酸化膜7の上に、ポリシリコン8とタングステンシリサイド9の積層配線層からなるゲート電極(以下、上部の符号を用いてゲート電極9とする。)を形成する(図11)。次に、このゲート電極9の上にタングステンからなるビットラインコンタクト10を形成し、タングステンからなるビットライン4とゲート電極9とを接続する。このビットラインコンタクト10は、タングステンに限られず、ポリシリコン等からなってもよい。次いで、ビットライン4の上にタングステンからなるコンタクト5を形成し、各コンタクト5間をAl-Cu合金からなるヒューズ部材6で接続する。

【0030】なお、このヒューズ部材6は、レーザ光により切断可能な素材、例えば、銅、タングステン単体、銅又はタングステンとチタン又はTiNとの積層構造体、AlCu、又はAlSiCu等を利用することができる。

【0031】さらに、このヒューズ部材6は、素子分離酸化膜13の上に積層された酸化膜11によって被覆される。この絶縁膜11の材料は、TEOS、BPTEOS、FSG等からなってもよい。次いで、窒化膜20、感光性ポリイミド層12がこの順に積層される。そ

(6)

9

の後、レーザ光によってヒューズ部材6をブローできるように、ドライエッチングで窒化膜20、感光性ポリイミド層12に開口部30を形成する(図2)。これによってヒューズボックスは形成される。

【0032】なお、レーザ光によるヒューズ部材6へのブローは、開口部30を介して行われる。レーザ光の照射を受けたヒューズ部材6とその上部の酸化膜11は、急激な熱膨張を生じてヒューズ部材6が切断される。

【0033】実施の形態2. 本発明の実施の形態2に係る半導体装置のヒューズボックスは、ヒューズボックス内で、半導体基板上で半導体領域からなるフィールド領域2と酸化膜13が互いに隣接する列が2列ある。このように大分離を一つの酸化膜ではなく、フィールド領域2によって複数の小さな酸化膜13に分割したことによって酸化膜13における凹みの発生を防止している。これによって、ゲート電極と半導体領域からなるガードリング1との間のゲート絶縁膜7の初期絶縁耐圧不良を防止し、高い信頼性を有する半導体装置を提供できる。

【0034】また、それぞれの酸化膜上には一つづつヒューズ部材を設けられている。つまり、ヒューズボックス内には2列のヒューズ部材が設けられている。このようにヒューズボックス内に複数列のヒューズ部材を配置して配線をまとめることができるので、ヒューズボックスの占有面積を減らすことができる。これによってチップ全体におけるヒューズボックスの占有面積を減らすことができ、チップシュリンクにも好適である。

【0035】図12に本発明の実施の形態2に係る半導体装置のヒューズボックスの上面図を示す。この半導体装置におけるヒューズボックスは、実施の形態1に係る半導体装置におけるヒューズボックスと比較すると、半導体基板上でフィールド領域2と酸化膜13が互いに隣接する列を2列有する点で相違する。

【0036】この半導体装置におけるヒューズボックスは、2列からなる複数のヒューズ部材を有している。また、このヒューズボックスでは、各ヒューズ部材6への配線である縦型接続部のうち、ビットライン4の一方を集めて電氣的に接続してグランドに接続するか、又はVccへ接続する等によって配線を簡略化できる。これによってヒューズボックス内の配線面積を減らすことができ、ヒューズボックスの占有率を下げるができる。

【0037】なお、ガードリング内において、半導体基板100上での半導体領域からなるフィールド領域2と絶縁膜13の全面積に対して、フィールド領域2の面積は、15～60%の範囲内にあるのが好ましい。

【0038】実施の形態3. 本発明の実施の形態3に係る半導体装置のヒューズボックスは、ゲート電極をヒューズボックスのガードリング内側の酸化膜上に形成している。これにより、ガードリングと酸化膜との端部におけるガードリングを構成する半導体領域の露出の有無にかかわらず、酸化膜上に形成されているゲート電極の絶

10

縁破壊は生じない。また、ガードリングの上部を横断して設けられているビットラインを介して外部との電氣的な接続を行っている。したがって、外部との接続においてもビットコンタクトはガードリングと直接接触しておらず、絶縁破壊は生じない。

【0039】図13にこの半導体装置のヒューズボックスの上面図を示す。この半導体装置におけるヒューズボックスは、実施の形態1に係る半導体装置のヒューズボックスと比較すると、ゲート電極8、9はガードリング1内側の酸化膜13上に設けられており、ガードリング1上には設けられていない点で相違する。また、ガードリング1の上部を横断して設けられているビットライン4を介して外部との電氣的な接続を行っている点で相違する。

【0040】この半導体装置におけるヒューズボックスは、複数のヒューズ部材を有している。各ヒューズ部材とゲート電極とは、ゲート電極9上の立体的な構造からなる縦型接続部で電氣的に接続されている。具体的には、ガードリング1内の酸化膜13上に形成された2つのゲート電極9は、図14の断面図に示すように、ゲート電極9上に鉛直上向き方向に形成された各縦型接続部の間で水平方向に延在するヒューズ部材6によって電氣的に接続される。また、各ゲート電極8、9は、実施の形態1のヒューズボックスとは異なり、ガードリング1上には設けられていない。このため、ガードリング1の上部を横断して設けられているビットライン4を介して、ゲート電極9と外部との電氣的な接続を行っている。

【0041】なお、このヒューズ部材6では、外部との電氣的な接続をビットライン4を介して行っているが、外部との接続はこれに限られない。外部からの電氣的な接続は、いったんゲート電極9上に導いておき、ヒューズ部材6への接続を実施の形態1と同様に行ってもよい。

【0042】このように、ゲート電極をガードリング1内の酸化膜13上に形成しているので、酸化膜13の凹みによるガードリングのエッジ部の露出の有無にかかわらずゲート電極9は絶縁破壊されない。そこで、ゲート電極9と半導体領域からなるガードリング1との間のゲート絶縁膜7の初期絶縁耐圧不良を防止し、高い信頼性を有する半導体装置を提供できる。

【0043】実施の形態4. 本発明の実施の形態4に係る半導体装置のヒューズボックスは、ゲート電極をヒューズボックスのガードリング内の酸化膜上に形成している。これにより、ガードリングと酸化膜との端部におけるガードリングを構成する半導体領域の露出の有無にかかわらず、酸化膜上に形成されているゲート電極の絶縁破壊は生じない。また、ガードリングの上部を横断して設けられているビットラインを介して外部との電氣的な接続を行っている。したがって、外部との接続において

50

(7)

11

もビットラインはガードリングと直接接触しておらず、絶縁破壊は生じない。

【0044】また、この半導体装置のヒューズボックスは、2列のヒューズ部材が形成されている。このようにヒューズボックス内に複数列のヒューズ部材を配置して配線をまとめることができるので、ヒューズボックスの占有面積を減らすことができる。これによってチップ全体におけるヒューズボックスの占有面積を減らすことができ、チップシュリンクにも好適である。

【0045】図15に本発明の実施の形態4に係る半導体装置のヒューズボックスの上面図を示す。この半導体装置におけるヒューズボックスは、実施の形態3に係る半導体装置におけるヒューズボックスと比較すると、2列のヒューズ部材を有する点で相違する。

【0046】この半導体装置におけるヒューズボックスは、2列からなる複数のヒューズ部材を有している。このため、各ヒューズ部材への配線である縦型接続部を構成するビットライン4の一方を集めて電気的に接続してグラウンドに接続するか、又はVccへ接続する等によって配線を簡略化できる。これによってヒューズボックス内の配線面積を減らすことができ、ヒューズボックスの占有率を下げるができる。

【0047】

【発明の効果】以上、詳述した通り、本発明に係るヒューズボックスを備えた半導体装置によれば、半導体基板上で半導体領域からなるフィールド領域と絶縁膜とが互いに隣接して配置されている。このように、ヒューズボックスの大きな面積をフィールド領域で分割して一区画の絶縁膜の面積を小さくすることで、絶縁膜に生じる凹みを抑制することができる。これによって、絶縁膜上にレイアウトされるヒューズ部材に高低差を生じないため、レーザ光によってヒューズ部材を確実にブローすることができる。

【0048】本発明に係るヒューズボックスを備えた半導体装置によれば、ゲート電極をヒューズボックスのガードリング内側の絶縁膜上に形成している。そして外部との電気的な接続をガードリングの上部を横断する接続部によって行っている。つまり、ゲート電極をガードリング上に設けずに絶縁膜上に設けているので、ゲート電極での絶縁破壊は生じない。また、ゲート電極は、ガードリングに直接接しない、ガードリングの上部を横断して設けられている接続部を介して外部との接続を行っている。そこで、ゲート電極での絶縁破壊を防止できる。

【0049】また、本発明に係るヒューズボックスを備えた半導体装置によれば、ヒューズボックスの大きな面積をフィールド領域で分割して一区画の絶縁膜の面積を小さくすることで、絶縁膜における凹みの発生を抑制できる。

【0050】さらに、本発明に係るヒューズボックスを

12

備えた半導体装置によれば、フィールド領域と絶縁膜が互いに隣接する列を複数列備えるので、複数列のヒューズ部材を配置できる。これによってヒューズボックス内の配線を簡略化することができ、ヒューズボックスの面積を減少させることができる。そのため、ヒューズボックスのチップ占有率を低下させることができる。

【0051】またさらに、本発明に係るヒューズボックスを備えた半導体装置によれば、このヒューズボックスにおいて、ゲート電極間を直接ヒューズ部材で接続していない。また、ゲート電極からヒューズ部材への接続は、鉛直上向き方向に縦型接続部が設けられている。さらにこの縦型接続部間を接続するヒューズ部材は、各縦型接続部の間で水平方向に延在している。このため、レーザ光によるブロー後の痕跡から侵入する湿気は、ゲート電極にまで達し難い。このような立体的な構造によって、レーザ光ブロー後の配線腐食を防止することができる。

【0052】また、本発明に係るヒューズボックスを備えた半導体装置によれば、縦型接続部にガードリングの上部を横断して設けられる接続部を含むので、電気的な接続の構成が容易に行える。

【0053】本発明に係るヒューズボックスを備えた半導体装置の製造方法によれば、半導体領域からなるフィールド領域を形成するように前記半導体基板をエッチングする工程において用いるレジストパターンは、このエッチングによって、半導体基板上で半導体領域からなるフィールド領域と絶縁膜とを隣接した配置を形成するパターンからなる。このように、ヒューズボックスの大きな面積をフィールド領域で分割して一区画の絶縁膜の面積を小さくすることで、絶縁膜に生じる凹みを抑制することができる。これによって、絶縁膜上にレイアウトするヒューズ部材に高低差を生じないため、レーザ光によってヒューズ部材を確実にブローできる。

【0054】本発明に係るヒューズボックスを備えた半導体装置の製造方法によれば、ゲート電極をヒューズボックスのガードリング内の絶縁膜上に形成する。そして外部との電気的な接続をガードリングの上部を横断する接続部によって行う。つまり、ゲート電極をガードリング上に設けずに絶縁膜上に設けるので、ゲート電極での絶縁破壊は生じない。また、ゲート電極は、ガードリングに直接接しない、ガードリングの上部を横断する接続部を設けて外部との接続を行う。そこで、ゲート電極では、絶縁破壊を防止できる。

【0055】また、本発明に係るヒューズボックスを備えた半導体装置の製造方法によれば、ヒューズボックスの大きな面積をフィールド領域で分割して一区画の絶縁膜の面積を小さくすることで、絶縁膜における凹みの発生を抑制できる。

【0056】さらに、本発明に係るヒューズボックスを備えた半導体装置の製造方法によれば、半導体領域から

(8)

13

なるフィールド領域を形成するように前記半導体基板をエッチングする工程において用いるレジストパターンは、このエッチングによって、半導体基板上で半導体領域からなるフィールド領域と絶縁膜とを隣接した配置を形成するパターンを複数列備えてなる。これによってヒューズボックス内の配線を簡略化することができ、ヒューズボックスの面積を減少させることができる。そのため、ヒューズボックスのチップ占有率を低下させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置におけるヒューズボックスの上面図である。

【図2】 図1のA-A'線断面図である。

【図3】 図1のB-B'線断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法において、半導体基板上に酸化膜と窒化膜とをこの順に積層し、その上にレジストパターンを形成する工程を示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法において、レジストパターンを形成し、エッチングした断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法において、レジストを除去し、エッチングして溝を形成した断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法において、溝に酸化膜を埋設した断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法において、レジストパターンを形成し、酸化膜を部分的にエッチングした断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法において、酸化膜を平坦化し、窒化膜を露出させた断面図である。

14

【図10】 本発明の実施の形態1に係る半導体装置の製造方法において、窒化膜、酸化膜を除去して半導体領域を露出させた断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法において、ガードリングと酸化膜とにわたってゲート電極を形成した断面図である。

【図12】 本発明の実施の形態2に係る半導体装置におけるヒューズボックスの上面図である。

【図13】 本発明の実施の形態3に係る半導体装置におけるヒューズボックスの上面図である。

【図14】 図13のC-C'線断面図である。

【図15】 本発明の実施の形態4に係る半導体装置におけるヒューズボックスの上面図である。

【図16】 従来の半導体装置におけるヒューズボックスの上面図である。

【図17】 図1のD-D'線断面図である。

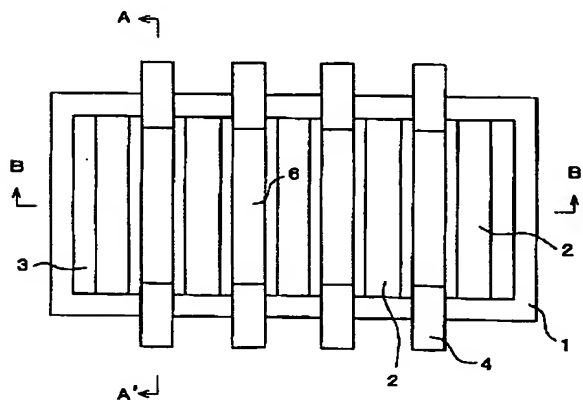
【図18】 従来の半導体装置のヒューズボックス製造工程におけるゲート電極形成前の酸化膜平坦化時での大きな凹みの発生を示す断面図である。

【図19】 ゲート電極形成時の断面図

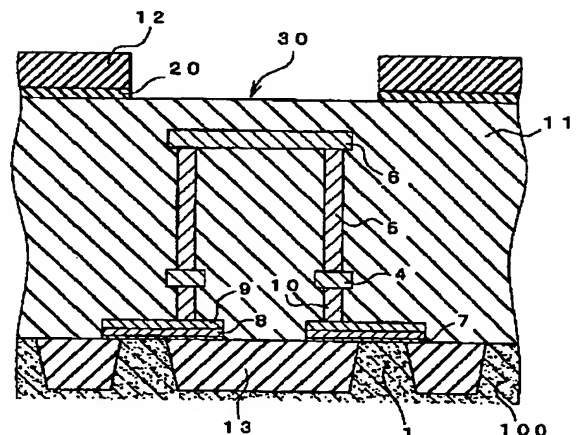
【符号の説明】

1 ガードリング（半導体領域）、2 フィールド領域（半導体領域）、3 素子分離領域、4 ビットライン、5 コンタクト、6 ヒューズ部材、7 ゲート酸化膜、8、9 ゲート電極、10 ビットラインコンタクト、11 絶縁層、12 感光性ポリイミド層、13 素子分離用酸化膜、14 パッド酸化膜、15 シリコン窒化膜、16 レジスト膜、17 ゲート酸化膜、18、19 ゲート電極、20 窒化膜、21 レジスト膜、30 開口部、100 シリコン基板

【図1】

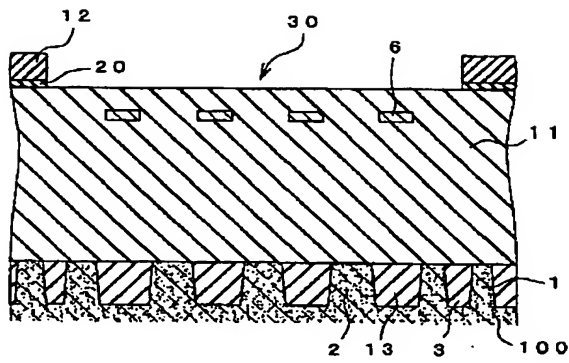


【図2】

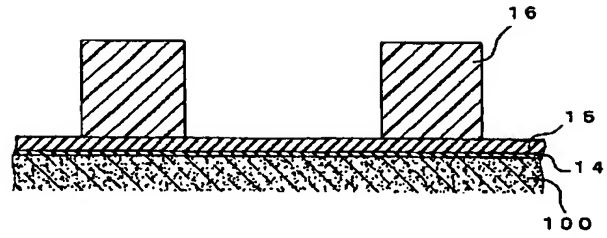


(9)

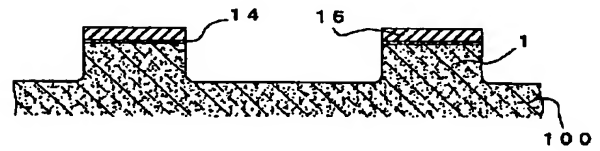
【図3】



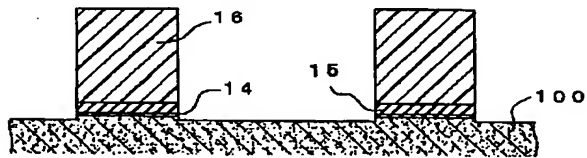
【図4】



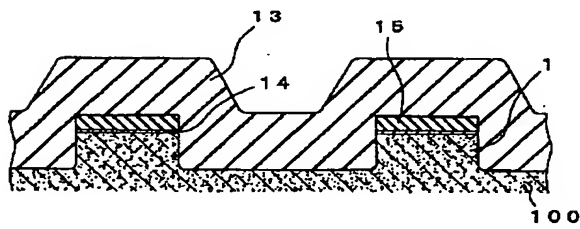
【図6】



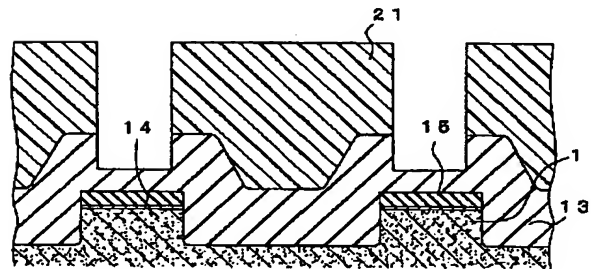
【図5】



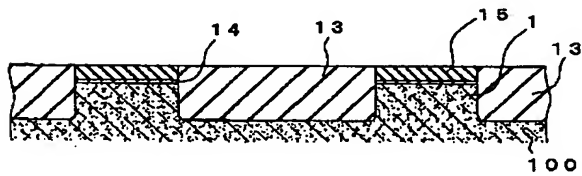
【図7】



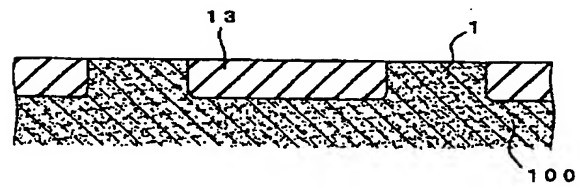
【図8】



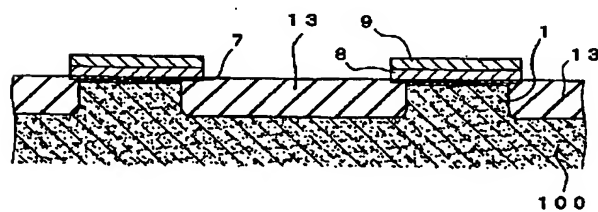
【図9】



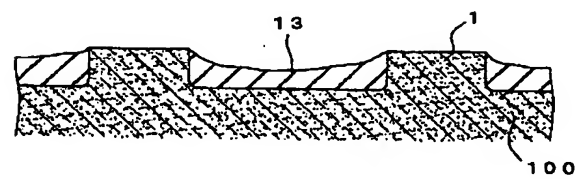
【図10】



【図11】

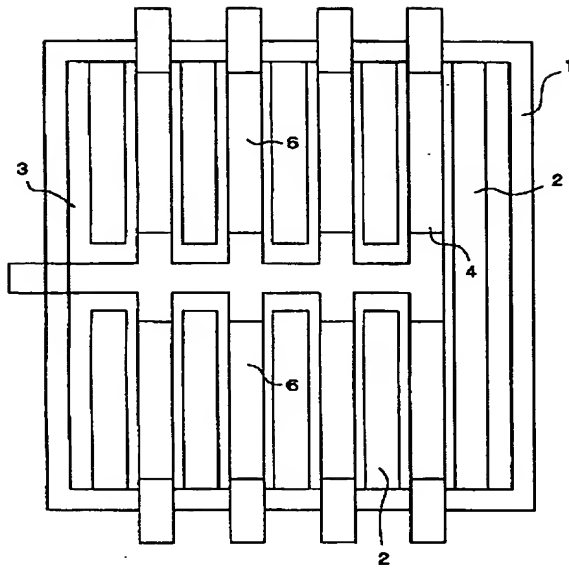


【図18】

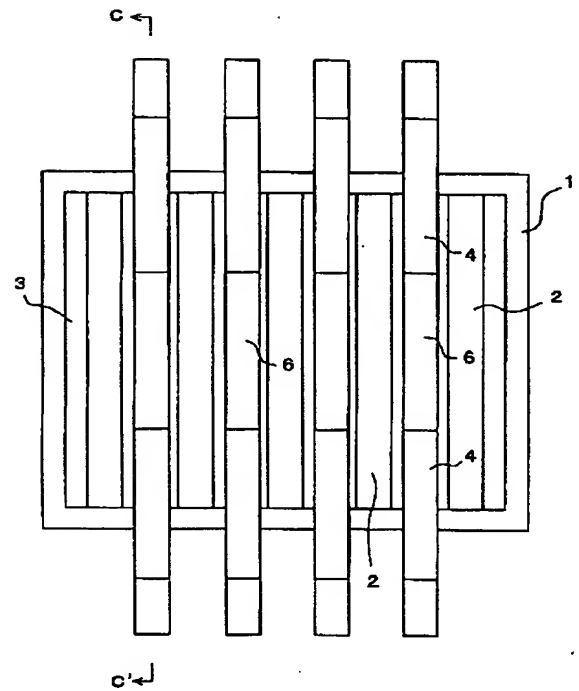


(10)

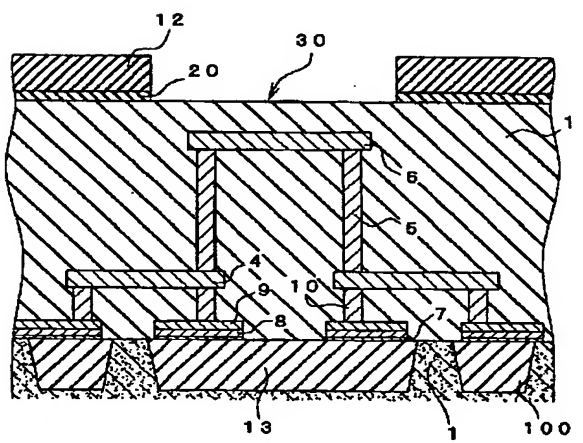
【図12】



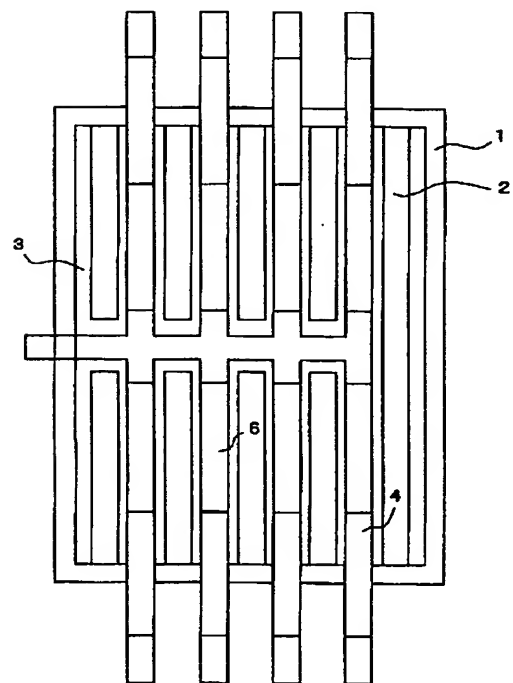
【図13】



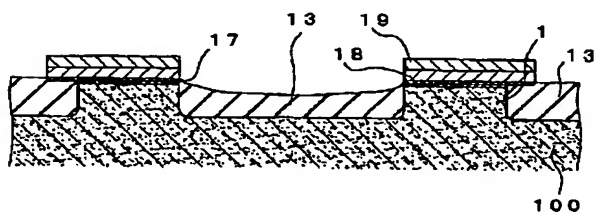
【図14】



【図15】

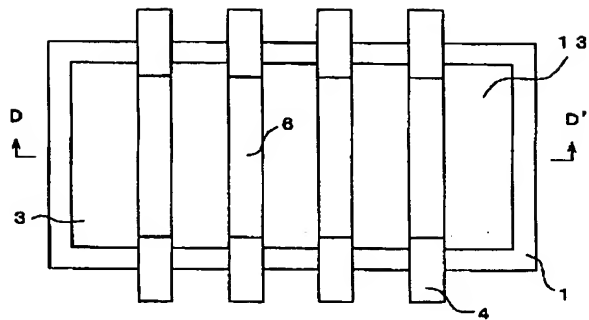


【図19】

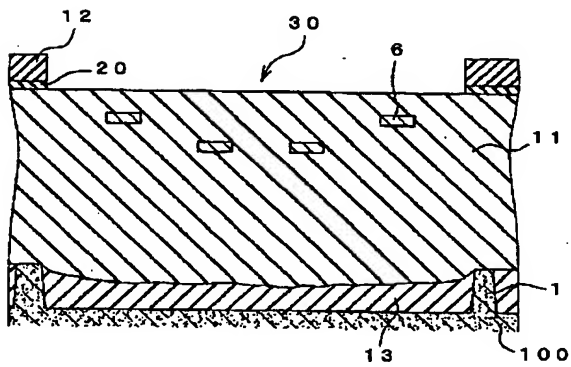


(11)

【図16】



【図17】



This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspro)